



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11145436 A**(43) Date of publication of application: **28.05.99**

(51) Int. Cl. **H01L 27/12**
H01L 21/265
H01L 21/322
H01L 21/762

(21) Application number: **09307719**(71) Applicant: **NEC CORP**(22) Date of filing: **10.11.97**(72) Inventor: **OKONOGI KENSUKE**

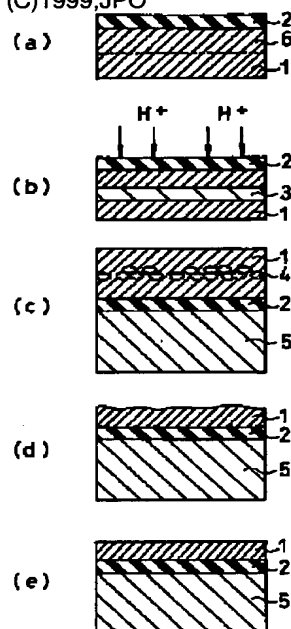
(54) **LAMINATED SOI SUBSTRATE AND
 MANUFACTURE THEREOF**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a laminated SOI substrate, which reduces adverse effects on a device and is capable of raising the yield of the manufacture of the laminated SOI substrate, and a method of manufacturing the board.

SOLUTION: An insulating film is formed on the surface of a first single-crystal silicon substrate 1, such as a hydrogen-annealed substrate, an intrinsic gettering substrate of an epitaxial substrate, and a hydrogenation is performed in the substrate 1 through the surface of this insulating film, whereby a hydrogenated region 3 is formed in the substrate 1. By performing heat treatment at 400 to 500°C on the substrate 1, voids 4 are formed in the region 3 and the substrate 1 is cleaved from these and formed with the voids 4, in the region 3. Then, after the surface of the insulating film and the surface of a second single-crystal silicon substrate 5 are laminated together, the substrates 1 and 5 are subjected to heat treatment at a temperature of 1,000°C or higher.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 4 5 4 3 6

(43) 公開日 平成 1 1 年 (1 9 9 9) 5 月 2 8 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/12			H01L 27/12	B
21/265			21/322	Y
21/322			21/265	Q
21/762			21/76	D

審査請求 有 請求項の数 6 O L (全 5 頁)

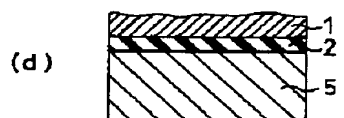
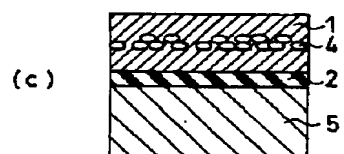
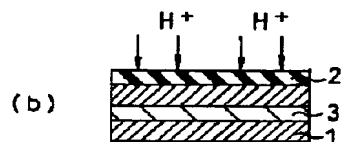
(21) 出願番号	特願平 9 - 3 0 7 7 1 9	(71) 出願人	0 0 0 0 0 4 2 3 7 日本電気株式会社 東京都港区芝五丁目 7 番 1 号
(22) 出願日	平成 9 年 (1 9 9 7) 1 1 月 1 0 日	(72) 発明者	小此木 堅祐 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
		(74) 代理人	弁理士 藤巻 正憲

(54) 【発明の名称】 張り合わせ S O I 基板及びその製造方法

(57) 【要約】

【課題】 デバイスへの悪影響を低減して歩留まりを向上することができる張り合わせ S O I 基板及びその製造方法を提供する。

【解決手段】 第 1 の単結晶シリコン基板、例えば、水素アニール基板、イントリンシックゲッタリング基板又はエピタキシャル基板の表面に絶縁膜を形成し、この絶縁膜の表面から水素注入を行うことにより、第 1 の単結晶シリコン基板中に水素注入領域を形成する。そして、400乃至500℃の熱処理を施すことにより、水素注入領域にボイドを形成してそこから第 1 の単結晶シリコン基板を劈開する。次に、絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせた後、1000℃以上の温度で熱処理する。



1.5: 単結晶シリコン基板
2: 二酸化シリコン膜
3: 水素注入領域
4: ボイド

1

【特許請求の範囲】

【請求項 1】 第 1 の単結晶シリコン基板と、第 2 の単結晶シリコン基板とを絶縁膜を間に挟んで張り合わせて構成された張り合わせ S O I 基板において、前記第 1 の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッタリング基板及びエピタキシャル基板からなる群から選択された 1 種の基板からなることを特徴とする張り合わせ S O I 基板。

【請求項 2】 第 1 の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第 1 の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせ S O I 基板の製造方法において、前記第 1 の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッタリング基板及びエピタキシャル基板からなる群から選択された 1 種の基板であることを特徴とする張り合わせ S O I 基板の製造方法。

【請求項 3】 第 1 の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第 1 の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせ S O I 基板の製造方法において、前記第 1 の単結晶シリコン基板は、表面から一定の深さに結晶欠陥領域を有することを特徴とする張り合わせ S O I 基板の製造方法。

【請求項 4】 前記結晶欠陥領域はミスフィット転位及び酸素析出物からなる群から選択された少なくとも 1 種の結晶欠陥を有することを特徴とする請求項 3 に記載の張り合わせ S O I 基板の製造方法。

【請求項 5】 前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程後に、1 0 0 0 °C 以上の温度で熱処理する工程を有することを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の張り合わせ S O I 基板の製造方法。

【請求項 6】 前記ミスフィット転位は、第 3 の単結晶シリコン基板上にエピタキシャル成長により前記第 3 の単結晶シリコン基板よりも抵抗が高い単結晶シリコン層を形成することにより生成されたものであることを特徴とする請求項 4 又は 5 に記載の張り合わせ S O I 基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は半導体装置に好適な張り合わせ S O I (Silicon On Insulator) 基板及びその製造方法に関し、特に、デバイスへの悪影響を低減した張り合わせ S O I 基板及びその製造方法に関する。

【0 0 0 2】

2

【従来の技術】 張り合わせ技術により超薄膜 S O I 基板を製造する方法として、大量の水素注入により形成されるボイドによって半導体基板が劈開する現象を利用したスマートカット (Smart-Cut) プロセスが知られている (Proceedings 1996 IEEE International SOI Conference, p152)。図 3 (a) 乃至 (e) は従来のスマートカットプロセスによる S O I 基板の製造方法を工程順に示す断面図である。従来のスマートカットプロセスによる S O I 基板の製造方法においては、まず、図 3 (a) に示すように、単結晶シリコン基板 2 1 上に絶縁物である二酸化シリコン膜 2 2 を形成する。単結晶シリコン基板 2 1 の表面近傍が最終的にデバイス作製領域となる。また、この表面近傍には、総称して grown-in 欠陥と呼ばれる酸素析出物又はその核等の結晶欠陥領域 2 8 が存在している。

【0 0 0 3】 次に、図 3 (b) に示すように、二酸化シリコン膜 2 2 の表面から水素イオンを約 $1 0^{16}$ 乃至 $1 0^{17}$ (atoms/cm²) のドーズ量でイオン注入する。これにより、単結晶シリコン基板 2 1 中に水素注入領域 2 3 が形成される。

【0 0 0 4】 次いで、図 3 (c) に示すように、二酸化シリコン膜 2 2 の表面と他の単結晶シリコン基板 2 5 の表面とを室温で張り合わせ、4 0 0 乃至 5 0 0 °C で熱処理することにより、水素注入領域 2 3 にボイド 2 4 が形成される。

【0 0 0 5】 このとき、図 3 (d) に示すように、水素注入領域 2 3 に形成されたボイド 2 4 により、単結晶シリコン基板 2 1 は劈開される。

【0 0 0 6】 次に、約 1 0 0 0 °C 以上の熱処理を数時間施すことにより、二酸化シリコン膜 2 2 と単結晶シリコン基板 2 5 との張り合わせ面を強固に接着する。そして、単結晶シリコン基板 2 1 の劈開された面を研磨して鏡面を形成することにより、S O I 基板が完成する。

【0 0 0 7】 その後、このようにして製造された S O I 基板はデバイスの作製工程へと投入される。

【0 0 0 8】

【発明が解決しようとする課題】 しかしながら、上述の従来の方法により製造された張り合わせ S O I 基板においては、この S O I 基板から製造されたデバイスにパーティクルが生じたり、接合リーク、素子分離間特性及びゲート絶縁膜耐圧の劣化がもたらされるという問題点がある。

【0 0 0 9】 本発明はかかる問題点に鑑みてなされたものであって、デバイスへの悪影響を低減して歩留まりを向上することができる張り合わせ S O I 基板及びその製造方法を提供することを目的とする。

【0 0 1 0】

【課題を解決するための手段】 本発明に係る張り合わせ S O I 基板は、第 1 の単結晶シリコン基板と、第 2 の単結晶シリコン基板とを絶縁膜を間に挟んで張り合わせて

50

構成された張り合わせ S O I 基板において、前記第 1 の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッターリング基板及びエピタキシャル基板からなる群から選択された 1 種の基板からなることを特徴とする。

【 0 0 1 1 】本発明においては、デバイスが形成される予定の第 1 の単結晶シリコン基板に水素アニール基板、イントリンシックゲッターリング基板又はエピタキシャル基板が使用されており、これらの基板の表面近傍の結晶欠陥は極めて少ないので、製造工程中に、この基板にボイドが形成されることが抑制される。このため、デバイスへの悪影響を低減することができる。

【 0 0 1 2 】本発明に係る張り合わせ S O I 基板の製造方法は、第 1 の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第 1 の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせ S O I 基板の製造方法において、前記第 1 の単結晶シリコン基板は、水素アニール基板、イントリンシックゲッターリング基板及びエピタキシャル基板からなる群から選択された 1 種の基板であることを特徴とする。

【 0 0 1 3 】本発明に係る他の張り合わせ S O I 基板の製造方法は、第 1 の単結晶シリコン基板の表面に絶縁膜を形成する工程と、前記絶縁膜の表面から水素注入を行うことにより、前記第 1 の単結晶シリコン基板中に水素注入領域を形成する工程と、前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程とを有する張り合わせ S O I 基板の製造方法において、前記第 1 の単結晶シリコン基板は、表面から一定の深さに結晶欠陥領域を有することを特徴とする。

【 0 0 1 4 】本発明においては、第 1 の単結晶シリコン基板の表面から一定の深さに結晶欠陥領域が形成されているので、水素注入を行うとこの結晶欠陥領域に水素が集中してボイドが形成されて劈開する。つまり、他の領域にはボイドが形成されないで、デバイスへの悪影響を低減することができる。

【 0 0 1 5 】なお、前記結晶欠陥領域はミスフィット転位及び酸素析出物からなる群から選択された少なくとも 1 種の結晶欠陥を有することができる。

【 0 0 1 6 】また、本発明においては、前記絶縁膜の表面と第 2 の単結晶シリコン基板の表面とを張り合わせる工程の後に、1 0 0 0 ° C 以上の温度で熱処理する工程を行ってもよい。

【 0 0 1 7 】前記ミスフィット転位は、第 3 の単結晶シリコン基板上にエピタキシャル成長により前記第 3 の単結晶シリコン基板よりも抵抗が高い単結晶シリコン層を形成することにより生成されたものであってもよい。

【 0 0 1 8 】

【発明の実施の形態】本願発明者等が前記課題を解決するため、鋭意実験研究を重ねた結果、従来の方法で使用されている単結晶シリコン基板 2 1 には不規則に結晶欠陥領域 2 8 が存在しているため、図 3 (c) に示すように、水素注入により結晶欠陥領域 2 8 にもボイド 2 4 a が形成され、図 3 (e) に示すように、完成後にもボイド 2 4 a は S O I 基板の活性層である単結晶シリコン基板 2 1 中に残存しているので、この S O I 基板から製造されたデバイスに悪影響が及ぼされていることに想到した。つまり、このスマートカットプロセスによる張り合わせ S O I 基板の製造方法においては、水素注入によるボイドの形成場所を制御することが重要である。このボイドの形成場所は注入される表面から水素の飛程程度離れた位置となるが、その周囲に欠陥等の水素イオンが集中しやすい領域があると、そこにもボイドが形成されてしまう。そこで、下地の単結晶シリコン基板の表面の結晶性を制御することが必要となる。本発明においては、下地の単結晶シリコン基板表面の結晶性を改善することにより、ボイドの形成場所を制御する。

【 0 0 1 9 】以下、本発明の実施例方法について、添付の図面を参照して具体的に説明する。図 1 (a) 乃至 (e) は本発明の第 1 の実施例方法に係る張り合わせ S O I 基板の製造方法を工程順に示す断面図である。本実施例方法においては、水素が注入される単結晶シリコン基板 1 として、表面に grown - in 欠陥及び酸素析出物がなく、図 1 (a) に示すように、表面近傍に無欠陥領域 (D Z) 6 が存在する基板、例えば水素アニール基板、イントリンシックゲッターリング (I G) 基板又はエピタキシャル基板が使用される。水素アニール基板は、F Z 法等で形成された単結晶シリコン材を、例えば 1 2 0 0 ° C で 1 時間、1 0 0 % 水素雰囲気中でアニールすることにより作製される。まず、この単結晶シリコン基板 1 上に絶縁物である酸化シリコン膜 2 を形成する。

【 0 0 2 0 】次に、図 1 (b) に示すように、酸化シリコン膜 2 の表面から水素イオンを約 $1 0^{16}$ 乃至 $1 0^{17}$ (a t o m s / c m ^ { 2 }) のドーズ量でイオン注入する。これにより、単結晶シリコン基板 1 の投影飛程領域のみに水素注入領域 3 が形成される。

【 0 0 2 1 】次いで、図 1 (c) に示すように、酸化シリコン膜 2 の表面と他の単結晶シリコン基板 5 の表面とを室温で張り合わせ、4 0 0 乃至 5 0 0 ° C で熱処理することにより、水素注入領域 3 にボイド 4 を多数高密度に形成する。

【 0 0 2 2 】このとき、図 1 (d) に示すように、水素注入領域 3 に形成されたボイド 4 により、単結晶シリコン基板 1 は劈開される。本実施例においては、単結晶シリコン基板 1 表面近傍に結晶欠陥領域がないので、従来のようにボイドが単結晶シリコン基板 1 内に残存することは避けられる。

【0023】次に、約1000℃以上の熱処理を数時間施すことにより、二酸化シリコン膜2と単結晶シリコン基板5との張り合わせ面を強固に接着する。そして、図1(e)に示すように、単結晶シリコン基板1の劈開された面を研磨して鏡面を形成することにより、SOI基板が完成する。

【0024】このように製造されたSOI基板は図1(e)に示すような構造を有しており、その内部にはボイドが存在しない。このため、このSOI基板からデバイスを製造したときに、デバイス特性に悪影響が及ぼされることが抑制される。

【0025】次に、本発明の第2の実施例方法について説明する。図2(a)乃至(e)は本発明の第2の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。本実施例方法においては、水素が注入される単結晶シリコン基板11として、ミスフィット転位が形成されたミスフィット転位領域17を表面近傍に有する基板が使用される。このミスフィット転位領域17を有する単結晶シリコン基板11は、例えば低抵抗基板上にエピタキシャル成長により高抵抗の単結晶シリコン層を形成すること、又はSiGe層上に単結晶シリコンをエピタキシャル成長させること等により容易に形成されるものである。先ず、この単結晶シリコン基板11上に絶縁物である二酸化シリコン膜12を形成する。

【0026】次に、図2(b)に示すように、二酸化シリコン膜12の表面から水素イオンを約 10^{14} 乃至 10^{17} (atoms/cm²)のドーズ量でイオン注入する。これにより、単結晶シリコン基板11の投影飛程領域及びミスフィット転位領域17に水素注入領域13が形成される。

【0027】次いで、図2(c)に示すように、二酸化シリコン膜12の表面と他の単結晶シリコン基板15の表面とを室温で張り合わせ、400乃至500℃で熱処理することにより、水素注入領域13にボイド14を多数高密度に形成する。

【0028】このとき、図2(d)に示すように、水素注入領域13に形成されたボイド14により、単結晶シリコン基板11は劈開される。本実施例においても、単結晶シリコン基板11表面近傍に結晶欠陥領域がないので、従来のようにボイドが単結晶シリコン基板11内に

残存することは避けられる。

【0029】次に、約1000℃以上の熱処理を数時間施すことにより、二酸化シリコン膜2と単結晶シリコン基板5との張り合わせ面を強固に接着する。そして、図2(e)に示すように、単結晶シリコン基板11の劈開された面を研磨して鏡面を形成することにより、SOI基板が完成する。

【0030】このように製造されたSOI基板は図2(e)に示すような構造を有しており、その内部にはボイドが存在しない。このため、第1の実施例方法により製造されたSOI基板と同様に、このSOI基板からデバイスを製造したときに、デバイス特性に悪影響が及ぼされることが抑制される。

【0031】本実施例においては、単結晶シリコン基板にミスフィット転位領域を有する基盤を使用したのが、表面近傍に酸素析出物層を有する基板を使用してもよい。酸素析出物層を有する基板は、例えばフッ酸水溶液により下地単結晶シリコン基板を洗浄した後、この下地単結晶シリコン基板上に単結晶シリコン層をエピタキシャル成長させることにより作成される。

【0032】

【発明の効果】以上詳述したように、本発明によれば、ボイドが半導体シリコン基板の所定の位置に形成されて、このボイドが形成された位置で半導体シリコン基板が劈開されるので、ボイドの残存を低減することができる。このため、デバイスへの悪影響を低減して歩留まりを向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。

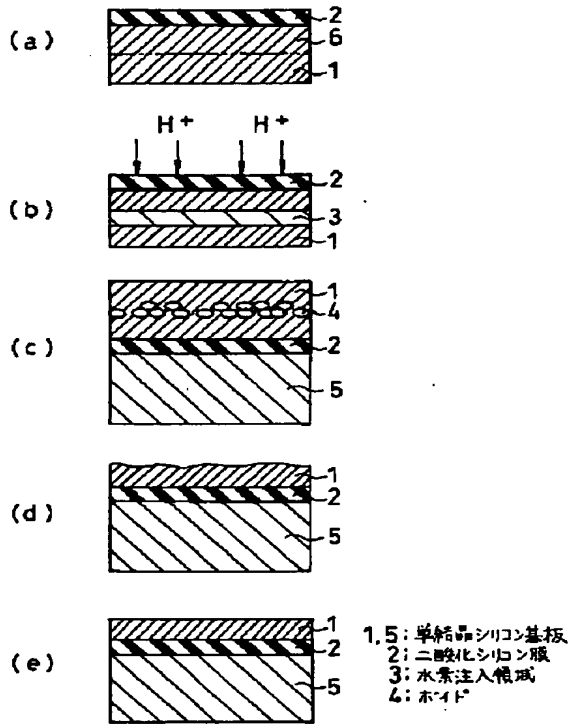
【図2】本発明の第2の実施例方法に係る張り合わせSOI基板の製造方法を工程順に示す断面図である。

【図3】従来のスマートカットプロセスによるSOI基板の製造方法を工程順に示す断面図である。

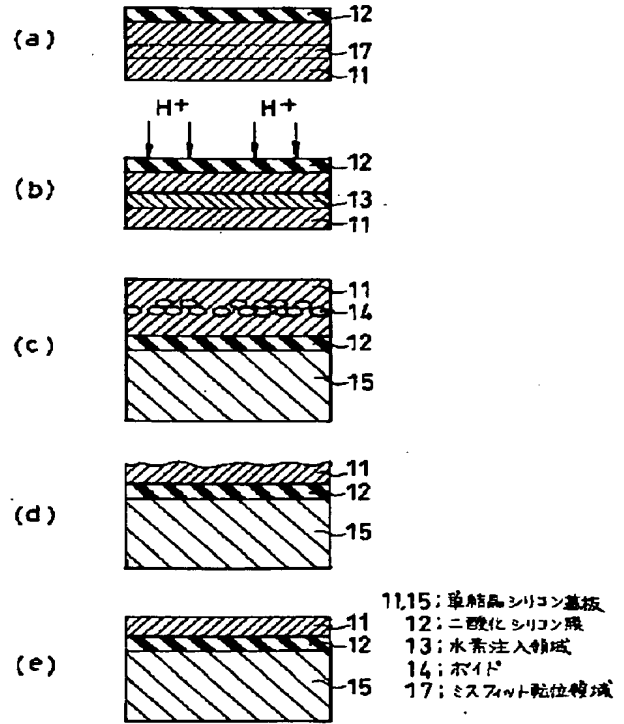
【符号の説明】

- 1、5、11、15、21、25：単結晶シリコン基板
- 2、12、22：二酸化シリコン膜
- 3、13、23：水素注入領域
- 4、14、24、24a：ボイド
- 17：ミスフィット転位領域
- 28：結晶欠陥領域

【図 1】



【図 2】



【図 3】

